

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 56-049570  
(43)Date of publication of application : 06.05.1981

(51)Int.CI. H01L 29/78  
G11C 11/40  
H01L 27/10

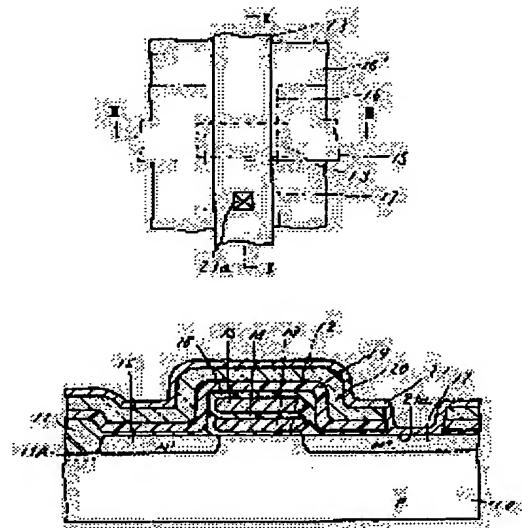
(21)Application number : 54-124127 (71)Applicant : HITACHI LTD  
(22)Date of filing : 28.09.1979 (72)Inventor : KOMORI KAZUHIRO

## (54) SEMICONDUCTOR MEMORY AND ITS MANUFACTURING PROCESS

### (57)Abstract:

**PURPOSE:** To get a small-sized memory unit with a good holding characteristic by piling Si<sub>3</sub>N<sub>4</sub> or polysilicon film on SiO<sub>2</sub> film.

**CONSTITUTION:** Field film oxide 11, P+ channel stopper 11A are formed on a P type Si substrate 10, a polysilicon floating gate 13 layer is made on gate film oxide 12 to be covered with film oxide 14 further laminated with a polysilicon control gate 15 layer to form gate electrodes 15, 13 by single photographic etching. Next N+ source, drain 16, 17 and a source taking out layer 16' are formed through ion injection and self-matching to make polysilicon 15, 13 conductive. Nextby selectively making an opening Al bit wiring 21 connecting with an N+ layer 17 is made. By piling Si<sub>3</sub>N<sub>4</sub> 19 with the damp-proof properties on SiO<sub>2</sub> 18 covering memory cells the gate 13 has an extremely good holding characteristic and the single photographic etching makes it possible to reduce the cell size.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**BEST AVAILABLE COPY**

## ② 公開特許公報 (A)

昭56—49570

⑤ Int. Cl.<sup>3</sup> 識別記号 行内整理番号  
 H 01 L 29/78 7514—5F  
 G 11 C 11/40 10.1 7010—5B  
 H 01 L 27/10

⑩ 公開 昭和56年(1981)5月6日  
 発明の数 3  
 審査請求 未請求

(全 4 頁)

## ④ 半導体メモリとその製法

① 特出願 昭54—124127

② 出願 昭54(1979)9月28日

③ 発明者 小森和宏

小平市上水本町1450番地株式会社

社日立製作所武藏工場内

④ 出願人 株式会社日立製作所  
 東京都千代田区丸の内1丁目5  
 番1号

⑤ 代理人 弁理士 薄田利幸

発明の名称 半導体メモリとその製法  
 発明の範囲 本発明は、半導体メモリの製法に関するものである。  
 1. フローティングゲート型不揮発性メモリセル構造をシリコンオキサイド膜でかぶつてある半導体メモリにおいて、前記シリコンオキサイド膜に重ねて前記メモリセル部をかかうようにシリコンナイトライド膜又はポリシリコン層を形成したことを特徴とする半導体メモリ。  
 2. フローティングゲート型不揮発性メモリセル構造をシリコンオキサイド膜でかぶつた後、前記メモリセル部のドレイン領域上のシリコンオキサイド膜部分にコンタクト孔を形成することを含む半導体メモリの製法において、前記シリコンオキサイド膜に重ねて前記メモリセル部をかかうようにポリシリコン層を形成した後、前記コンタクト孔を形成すべく前記ポリシリコン層の一端及びその下層のシリコンオキサイド膜部分を選択的にエッチングし、さらに前記エッチング孔内の半導体表面部分が表面的に酸化されずに露出されたまま残る上に前記ポリシリコン層を酸化してそれをかかうシリコンオキサイド膜を形成することを特徴とする半導体メモリの製法。

発明の詳細な説明 本発明は、フローティングゲート型不揮発性メモリセルをそなえた半導体メモリ及びその製法に

(1)

(2)

に関する。

従来提案されているこの種のメモリとしては、不揮発性メモリセル部にそれをかかうようにシリコンオキサイド膜及びリンケイ酸ガラス(PBG)膜を層次形成したものが有るが、これにはシリコンオキサイド膜及びPBG膜が耐候性に劣るためデータ保持特性が良好でない欠点がある。また、シリコンオキサイド膜及びPBG膜の複層にコンタクト孔を設ける場合、1回のホトエッチングで孔あけしようとすると、約1500Åのシリコンオキサイド膜をエッチする過程で上層のPBG膜が過剰にサイドエッヂされるため好ましい形状のコンタクト孔を形成できます。このような事態を回避するために各膜層に異なるホトマスクを用いて計2回のホトエッチングを実施する必要があった。このためマスク交換余裕を大きくとる必要があり、セルサイズが大きくなる欠点があった。

本発明の目的は、上記した従来技術の欠点をなくし、データ保持特性の良好な半導体メモリを提供することにある。

(3)

の基板表面には、ゲート絶縁用シリコンオキサイド膜1-3が熱酸化法で形成され、その上にポリシリコンからなるフローティングゲート膜1-3が形成されている。フローティングゲート膜1-3はポリシリコンをCVD(ケミカル・ベーパー・デポジション)法によってデポジットした後、適宜パターニングすることによって形成され、この後ゲート膜1-3の表面を熱酸化することにより層間絶縁用シリコンオキサイド膜1-4が形成される。そして、層間絶縁用シリコンオキサイド膜1-4上には、ワード線用のコントロールゲート膜1-5がフローティングゲート膜1-3に重なり且つフィールドシリコンオキサイド膜1-6上に重在するよう層形成される。コントロールゲート膜1-5は、ポリシリコンをCVD法でデポジットした後、適宜パターニングすることによって形成されるが、このパターニングにあたっては、同一ホトマスクを用いてゲート膜1-3、オキサイド膜1-4、ゲート膜1-3をホトエッチ(いわゆる重ね切り)する。この後、ゲート膜1-5以下の複層をマスクとする過

本発明の他の目的は、コンタクト孔を形成する際に1回のホトマスクを用いるだけでよく、従つてセルサイズを縮少することのできる半導体メモリの製法を提供することにある。

本発明による半導体メモリは、不揮発性メモリセル部をかかうシリコンオキサイド膜に重ねてシリコンナイトライド膜又はポリシリコン膜を形成したことを特徴とするものであり、以下、添付図面に示す実施例について詳述する。

第1図乃至第3図は、本発明の一実施例によるフローティングゲート膜不揮発性メモリセルを示すもので、第1図のⅢ-Ⅰ断面及びⅢ-Ⅲ断面図はそれぞれ第2図及び第3図に示されている。これらの図において、1-0はP型シリコンからなる半導体基板であり、その表面にはメモリセル配線部に相当する開口を有するフィールドシリコンオキサイド膜1-1が過酸化法で形成され、このオキサイド膜1-1の下の基板表面にはチャンネルストップ用のP<sup>+</sup>型領域1-1Aが形成されている。

フィールドシリコンオキサイド膜1-1の開口内

(4)

熱的な拡散又はイオン打込処理によりゲート部に自己整合した形でN<sup>+</sup>型ソース領域1-6及びN<sup>+</sup>型ドレイン領域1-7を形成し、これと同時にN<sup>+</sup>型ソース領域1-6も形成する。このとき、ゲート膜1-5もN型査定不純物がドープされ、ゲート膜1-5は低抵抗化される。

次に、ゲート膜1-3及び1-5の露呈表面並びにもし露呈されていれば基板表面(拡散法で領域1-6, 1-7を形成する場合には通常基板表面が露呈されている)を軽く酸化し、メモリセル部をかかうシリコンオキサイド膜1-6を形成する。このときのシリコンオキサイド膜1-6は基板表面(領域1-6, 1-7の露呈)で3.00~5.00Åの露呈をもつよう形成すればよい。

次いで、CVD法によりシリコンオキサイド膜1-8上にメモリセル部をかかうようにシリコンナイトライド膜1-9を形成し、さらにその上にPBG膜2-0を形成する。そして、第4図に示すようにドレイン領域1-7の一端を露呈するコンタクト孔、CNを形成する。すなわち、ホトレジスト膜2-2

(5)

(6)

をマスクとしてフローティングチャントによります P SG 膜 2.0 を選択的にエッテした後、プラズマエッテによりレジスト層 2.2 及び残存する P SG 膜 2.0 をマスクとしてシリコンナイトライド膜 1.9 を選択エッテし、さらに残存する P SG 膜 2.0 及びシリコンナイトライド膜 1.9 をマスクとして薄いシリコンオキサイド膜 1.8 をフローティングチャントで選択エッテする。このシリコンオキサイド膜 1.8 はシリコンナイトライド膜 1.8 を設けたため 300~500 Å 程度に薄く形成されているので、簡単に短時間でエッテできるから、 P SG 膜 2.0 のライドエッテは実質上無視しうる程度であり、断面防止上好ましい形状のコンタクト孔 CN を形成することができる。

この後、 P SG 膜 2.0 上には、 A 4 のような配線用金属を全面的に蒸着して通常バーチュンタすることによりワード膜と直交するようにピット用金属層 2.1 を形成する。この金属層 2.1 は、前述したコンタクト孔 CN を介してドレイン領域 17 とオーバーラップ構造を形成する。2.1 はこのオーバーラップ構造として P SG 膜 2.0 上に形成される。

(7)

形成した後、第 7 図に示すようにコンタクト孔 CN を形成してからポリシリコン層 2.3 の表面を酸化してシリコンオキサイド膜 2.4 を形成した上で、すなわち、第 7 図において、ポリシリコン層 2.3 上にホトレジスト層 2.5 を配置し、このホトレジスト層 2.5 をマスクとしてポリシリコン層 2.3 及びその下の薄いシリコンオキサイド膜 1.8 を選択エッテしてコンタクト孔 CN を形成する。そして、適当な方法でホトレジスト層 2.5 を除去した後、ポリシリコン層 2.3 を薄く低圧の Wet O<sub>2</sub> 気氛中で熱酸化すると、半結晶基板表面に比べて高濃度にリンをドープしたポリシリコン層 2.3 の方が酸化速度が大きいため高濃度表面（ドレイン領域 17 の表面）には薄く、厚さ 810 Å には厚くシリコンオキサイド膜が形成されるので、熱酸化後全面エッテを行ない基板表面のシリコンオキサイド膜を除去することによりポリシリコン層 2.3 の表面にのみシリコンオキサイド膜 2.4 を形成することができる。この後は前述例と同様にしてピット用金属層 2.1 及びオーバーラップ構造を形成する。

(8)

上記した半導体メモリは、メモリセル部をおかうシリコンオキサイド膜 1.8 に重ねて耐圧性に優れたシリコンナイトライド膜 1.9 を形成してあるので、フローティングゲート膜 1.8 にストップされるゲートの保持特性が極めて良好である。また、コンタクト孔 CN の形成にあたっては、ホトマスクを 1 枚用いるだけで足りるので、マスク合せ余裕を最小限にしてセルサイズの縮少を図ることができる。

第 5 図及び第 6 図は、本発明の他の実施例による不揮発性メモリセルを示すもので、それぞれ第 3 図及び第 3 図と同様な断面図である。そして、第 5 図及び第 6 図のメモリセルの上面図は第 1 図のものと同様であり、第 5 図及び第 6 図において第 1 図乃至第 3 図におけると同様な部分には同様な符号を付してその詳細な説明を省略する。本実施例のメモリセルの特徴とするとところは、メモリセル部をおかうシリコンオキサイド膜 1.8 の上に高濃度にリンをドープしたポリシリコン層 2.3 を

(9)

コンタクト部 2.1 と形成することができる。

第 5 図乃至第 7 図について上記した半導体メモリにおいてもシリコンオキサイド膜 1.8 の上にポリシリコン層 2.3 及びシリコンオキサイド膜 2.4 が形成されるので、 P SG 膜でシリコンオキサイド膜をおかう従来の場合に比べてデータ保持特性は良好である。

なお、上記実施例の説明では、本発明をコントロールゲートを有するフローティングゲート型不揮発性メモリに適用した例を述べたが、本発明はコントロールゲートを有しないフローティングゲート型不揮発性メモリにも適用することができるものである。

図面の簡単な説明

第 1 図は、本発明の一実施例による不揮発性メモリセルを示す基板上面図。

第 2 図は、第 1 図のⅠ-Ⅰ' 部に沿う基板断面図、第 3 図は、第 1 図のⅢ-Ⅲ' 部に沿う基板断面図、第 4 図は、上記メモリセルのドレインコンタクト孔形成工程を示す断面図。

(10)

第5図及び第6図は、本発明の他の実施例による不揮発性メモリセルを示すそれぞれ第5図及び第6図と同様な基板断面図である。

第7図は、第5図のメモリセルのドレインコンタクト孔形成工程を示す断面図である。

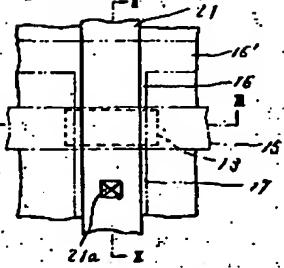
10…半導体基板、11…12…14…16…  
24…シリコンオキサイド膜、13…フローティングゲート層、15…コントロールゲート層、  
16…ゲート電極、17…ドレイン電極、19…シリコンナイトライド膜、20…PSG膜、  
23…ポリシリコン層。

代理人弁理士 寺 田 利 伸

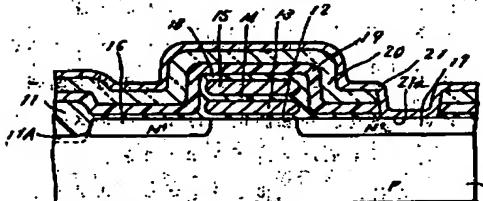
40

特開昭56-49570(4)

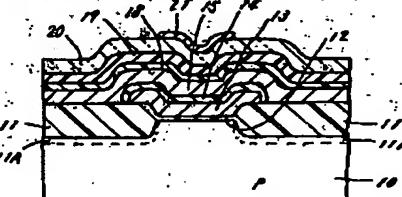
第 1 図



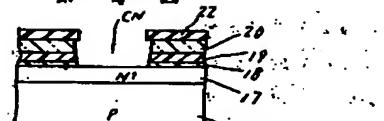
第 2 図



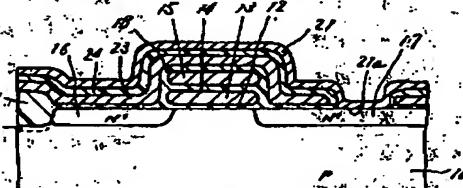
第 3 図



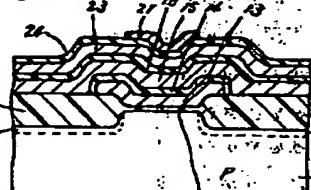
第 4 図



第 5 図



第 6 図



第 7 図

